

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-299571

(43) 公開日 平成4年(1992)10月22日

(51) Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
// H 0 1 L 21/318	B	8518-4M		
		9056-4M	H 0 1 L 29/78	3 1 1 H

審査請求 未請求 請求項の数2(全 4 頁)

(21) 出願番号 特願平3-64211

(22) 出願日 平成3年(1991)3月28日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 金子 若彦

東京都港区芝五丁目7番1号日本電気株式会社内

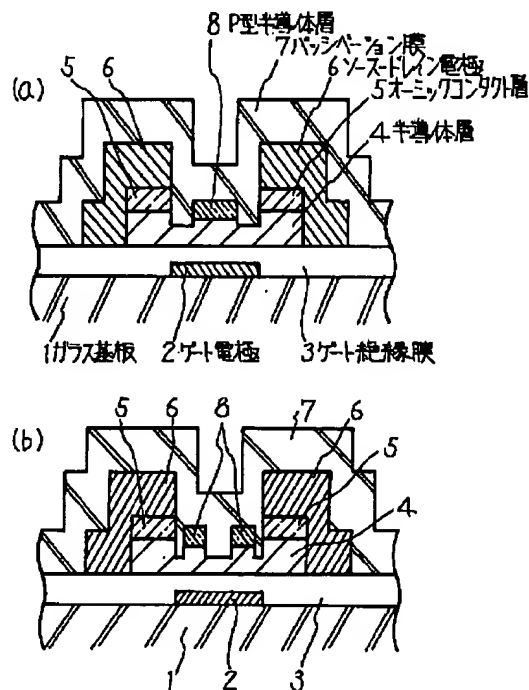
(74) 代理人 弁理士 内原 晋

(54) 【発明の名称】 薄膜トランジスタ

(57) 【要約】 (修正有)

【構成】 絶縁基板 1 上にゲート電極 2、ゲート絶縁膜 3、島状に形成された半導体層 4、N型半導体層からなるオーミックコンタクト層 5、ソースおよびドレイン電極 6、パシベーション膜 7 が順次積層された薄膜トランジスタにおいて、前記ゲート電極 2 直上の前記半導体層 4 と前記パシベーション膜 2 との界面にプラズマ CVD 法による P 型半導体層 8 が前記ソースおよびドレイン電極 6 から離れて形成されていることを特徴とする薄膜トランジスタ。

【効果】 薄膜トランジスタの半導体層 4 とパシベーション膜 7 との界面に P 型半導体層 8 を設けることにより、パシベーション膜 7 中に生じた正の固定電荷によるオフ電流の劣化が軽減されるという効果がある。



1

2

【特許請求の範囲】

【請求項1】 絶縁基板上にゲート電極、ゲート絶縁膜、島状に形成された半導体層、N型半導体層からなるオーミックコンタクト層、ソースおよびドレイン電極、パシベーション膜が順次積層された薄膜トランジスタにおいて、前記ゲート電極直上の前記半導体層と前記パシベーション膜との界面にプラズマCVD法によるP型半導体層が前記ソースおよびドレイン電極から離れて形成されていることを特徴とする薄膜トランジスタ。

【請求項2】 ソース側とドレイン側とにP型半導体層が2分割して形成されている請求項1記載の薄膜トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は薄膜トランジスタに関し、特にカラー液晶ディスプレイ用のアモルファスシリコン薄膜トランジスタに関するものである。

【0002】

【従来の技術】 従来技術による薄膜トランジスタについて、図2を参照して説明する。

【0003】 ガラスからなる絶縁基板1上にアルミニウム、クロム、タンタルからなるゲート電極2、アモルファス窒化シリコンからなるゲート絶縁膜3、アモルファスシリコンからなる半導体層4、燐をドーブしたN型アモルファスシリコンからなるオーミックコンタクト層5、アルミニウム、クロムからなるソースおよびドレイン電極6、アモルファス窒化シリコンからなるパシベーション膜7が形成されている。

【0004】 ON状態では図3(a)に示すように、ゲート電極2に正の電圧が印加されるとゲート絶縁膜3と半導体層2との界面に負電荷が誘起して、界面近くの半導体層4の伝導帯がフェルミレベルよりも下って（以下この部分をチャネルと記す）、キャリア電子が流れるようになる。

【0005】 OFF状態では図3(b)に示すように、ゲート電極2に負の電圧が印加されるとゲート絶縁膜3と半導体層2との界面に正電荷が誘起して、界面近くの半導体層4の伝導帯がフェルミレベルよりも上って、キャリア電子はほとんど流れなくなる。このようにゲート電極の電圧によってトランジスタの状態を制御している。

【0006】

【発明が解決しようとする課題】 このような薄膜トランジスタにおいては図3(c)に示すように、製造工程中の放射線損傷や不純物イオンなどの欠陥によって、パシベーション膜7または半導体層4とパシベーション膜7との界面（以下この部分をバックチャネルと記す）に正の固定・捕獲電荷9が生じることがある。

【0007】 そのためバックチャネルの伝導帯が下がってキャリア電子が流れ易くなり、ゲート電圧を負に印加

しても電流（以下この電流をオフ電流と記す）が流れてしまうという問題があった。

【0008】

【課題を解決するための手段】 本発明の薄膜トランジスタは、絶縁基板上にゲート電極、ゲート絶縁膜、島状に形成された半導体層、N型半導体層からなるオーミックコンタクト層、ソースおよびドレイン電極、パシベーション膜が順次積層され、前記ゲート電極直上の前記半導体層と前記パシベーション膜との界面にプラズマCVD法によるP型半導体層が前記ソースおよびドレイン電極から離れて形成されているものである。

【0009】

【作用】 半導体層とパシベーション膜との間にP型半導体層を形成したとき、バンド図は図4(a)のようになる。

【0010】 パシベーション膜7中に正の固定電荷9が生じて、P型半導体層8のため伝導帯はフェルミレベルまで下らないので、バックチャネルにキャリア電子が流れない。

20 【0011】

【実施例】 本発明の第1の実施例について、図1(a)を参照して説明する。

【0012】 厚さ1mmの低アルカリガラス基板1上にスパッタ法により厚さ1000Åのクロムを堆積してから、フォトリソグラフィとウェットエッチングによりゲート電極2を形成する。

【0013】 つぎにプラズマCVD法により厚さ500Åの窒化シリコン膜、厚さ300Åのアモルファスシリコン膜、厚さ500Åの燐をドーブしたN型アモルファスシリコン膜を順次堆積する。つぎにフォトリソグラフィとドライエッチングにより、アモルファスシリコン膜およびN型アモルファスシリコン膜を選択的にエッチングして半導体層4およびオーミックコンタクト層5を形成する。

【0014】 つぎにスパッタ法で厚さ2000Åのクロムを堆積し、フォトリソグラフィとドライエッチングによりソースおよびドレイン電極6をパターンニングする。

【0015】 つぎにゲート電極2直上のオーミックコンタクト層5をドライエッチングしてから、厚さ200ÅのボロンをドーブしたP型アモルファスシリコンを堆積し、フォトリソグラフィとドライエッチングによりP型半導体層8を形成する。

【0016】 さらにプラズマCVD法により厚さ200Åの窒化シリコン膜を堆積し、フォトリソグラフィとドライエッチングによりパシベーション膜7を形成する。最後に200℃の不活性ガス雰囲気中で2時間の熱処理を行なって素子部が完成する。

【0017】 つぎに本発明の第2の実施例について、図1(b)を参照して説明する。

【0018】 本実施例ではP型半導体層8を2分割する

3

ことにより、パシベーション膜中に負の固定電荷が生じた場合でもバックチャネルにホール型伝導電流が流れ難くなるという利点がある。

【0019】

【発明の効果】薄膜トランジスタの半導体層とパシベーション膜との界面にP型半導体層を設けることにより、パシベーション膜中に生じた正の固定電荷によるオフ電流の劣化が軽減されるという効果がある。

【0020】図4(b)にドレイン電圧を10Vに固定し、ゲート電圧を-10Vから+10Vに変化させたときの電流電圧特性を示す。従来例の薄膜トランジスタではパシベーション膜中の固定電荷密度によりオフ電流が変化して不安定であるのに対して、本発明の薄膜トランジスタでは安定した特性が得られることがわかる。

【図面の簡単な説明】

【図1】本発明の実施例を示す断面図である。

【図2】従来技術による薄膜トランジスタを示す断面図

4

である。

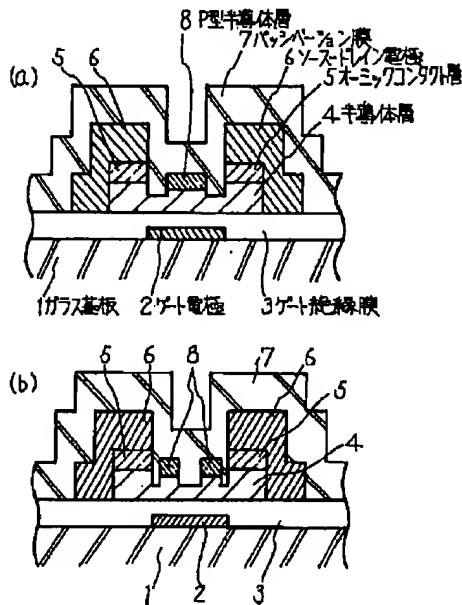
【図3】従来技術による薄膜トランジスタのエネルギーバンド図である。

【図4】本発明の実施例のエネルギーバンド図、および本発明と従来例との電流・電圧特性を示すグラフである。

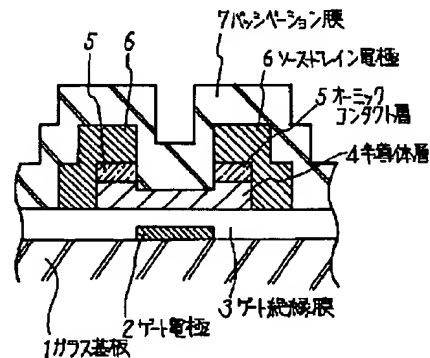
【符号の説明】

- 1 ガラス基板
- 2 ゲート電極
- 3 ゲート絶縁膜
- 4 半導体層
- 5 オーミックコンタクト層
- 6 ソースおよびドレイン電極
- 7 パシベーション膜
- 8 P型半導体層
- 9 正の固定電荷

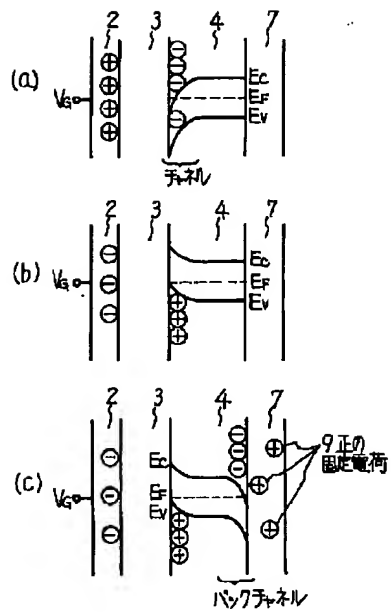
【図1】



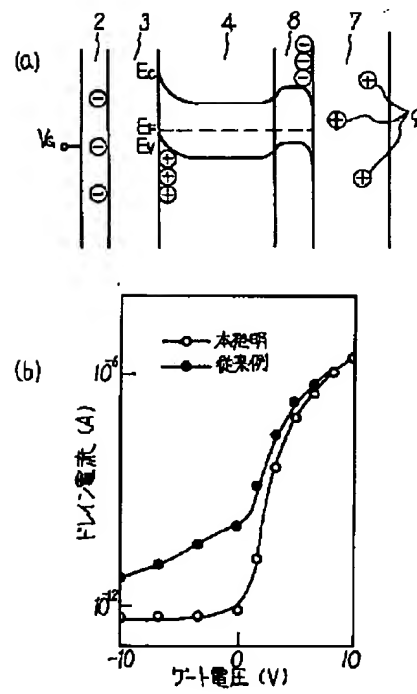
【図2】



【図3】



【図4】



DERWENT-ACC-NO: 1992-402733

DERWENT-WEEK: 199249

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Amorphous silicon thin film
transistor for colour liquid
crystal display - has P-type
semiconductor layer at
interface between semiconductor layer
and passivation
film, thus reduces degrading of
current due to positive
fixed charge generated in passivation
film NoAbstract

PATENT-ASSIGNEE: NEC CORP[NIDE]

PRIORITY-DATA: 1991JP-0064211 (March 28, 1991)

PATENT-FAMILY:

PUB-NO	PAGES	PUB-DATE	MAIN-IPC
JP 04299571 A		October 22, 1992	N/A
004	H01L 029/784		

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
JP 04299571A	N/A	
1991JP-0064211	March 28, 1991	

INT-CL (IPC): H01L021/318, H01L029/784

ABSTRACTED-PUB-NO: JP 04299571A

EQUIVALENT-ABSTRACTS:

CHOSEN-DRAWING: Dwg.1/4

TITLE-TERMS: AMORPHOUS SILICON THIN FILM TRANSISTOR COLOUR
LIQUID CRYSTAL
DISPLAY P TYPE SEMICONDUCTOR LAYER INTERFACE
SEMICONDUCTOR LAYER
PASSIVATION FILM REDUCE DEGRADE CURRENT

POSITIVE FIX CHARGE

GENERATE PASSIVATION FILM NOABSTRACT

DERWENT-CLASS: U12 U14

EPI-CODES: U12-B03A; U12-D02A; U12-Q; U14-K01A2B;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1992-307078